ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ
ΗΛΕΚΤΡΟΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

*****ΑΠΟΣΠΑΣΜΑ-PART*****

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ:

Ο Η/Υ ΠΑΛΜΟΓΡΑΦΟΣ ΨΗΦΙΑΚΩΝ ΛΕΙΤΟΥΡΓΙΩΝ

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

ΠΑΠΑΔΟΠΟΥΛΟΣ Ε.Γ. ΠΑΡΑΣΚΕΥΑΣ
Π.Π. ΥΛΙΚΟ ΚΑΙ ΛΟΓΙΣΜΙΚΟ 1994
ΠΕΙΡΑΙΑΣ (ΝΙΚΑΙΑ) 1994

Έναντι προλόγου...

Η αλματώδης πρόοδος της τεχνολογίας των ολοκληρωμένων κυκλωμάτων (Integrated Circuits) τις τελευταίες δεκαετίες, αναμφισβήτητα άνοιξε νέους ορίζοντες στις περισσότερες δραστηριότητες της καθημερινής μας ζωής, αποσκοπώντας στην διευκόλυνση όλων μας.

Η ακόλουθη παρουσίαση, που έγινε στα πλαίσια της πτυχιακής εργασίας της ***Σχολής Τεχνολογικών Εφαρμογών Ηλεκτρονικών Υπολογιστικών Συστημάτων των Τ.Ε.Ι. Πειραιά***, υπό την εποπτεία του ***καθηγητού κ. Κούρου Παύλου*** της ***Ομάδας Μαθημάτων Μικροηλεκτρονικής***, αποτελεί μια "ζωντανή" απόδειξη της ανωτέρω θέσης. Ειδικότερα, πρόκειται για ένα πακέτο λογισμικού (software) και υλικού (hardware), που σε συνδυασμό με την χρήση ενός προσωπικού (Personal Computer) ηλεκτρονικού υπολογιστή (Η/Υ), κάνει δυνατή την παρακολούθηση και επεξεργασία αναλογικών (analog) και ψηφιακών (digital) σημάτων τάσεως μεγίστης συχνότητας 65,83KHz. Λόγω της αξιοποίησης των δυνατοτήτων του Η/Υ, ο χειρισμός των λειτουργιών του ψηφιακού μας πλέον παλμογράφου, αφενός καθίσταται ευκολότερος, αφετέρου σε αντίθεση με έναν κοινό -"αναλογικό"- παλμογράφο, υποστηρίζονται ιδιαίτερες λειτουργίες όπως η ακριβής μέτρηση επί των παρακολουθούμενων κυματομορφών τάσεως και η αρχειοθέτησή τους για μελλοντική επεξεργασία.

Κλείνοντας, θα ήθελα να πιστεύω πως αυτή η ταπεινή σχολαστική εργασία μηνών, θα ωθήσει μελλοντικά -αφού προηγουμένως κεντρίσει το ενδιαφέρον και, γιατί όχι, την φαντασία κάποιου άλλου συναδέλφου- σε ένα βήμα ακόμα πιο μπροστά: στην δημιουργία ενός πιο επεκτεταμένου πακέτου που θα υποστηρίζει την επεξεργασία σημάτων τάσεως ακόμα μεγαλύτερης μεγίστης συχνότητας (βήμα για το οποίο παρουσιάζεται η πρότασή μου)!

Παπαδόπουλος Ε.Γ. Παρασκευάς
Ιανουάριος 1995

PART OF MY PERSONAL THESIS DOCUMENTATION (Ο.Π.Σ.)

ΠΕΡΙΕΧΟΜΕΝΑ

1.ΒΑΣΙΚΕΣ ΑΠΑΙΤΗΣΕΙΣ ΓΙΑ ΤΗΝ ΕΚΤΕΛΕΣΗ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ
Σελίδα:4

2.ΤΕΧΝΙΚΑ ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΠΑΚΕΤΟΥ
Σελίδα:5-6

3.ΚΑΤΑΣΚΕΥΑΣΤΙΚΟ ΜΕΡΟΣ (HARDWARE) *Σελίδα:7-15*

4.ΛΟΓΙΣΜΙΚΟ ΜΕΡΟΣ (SOFTWARE) *Σελίδα:16-36*

5.ΠΡΟΤΑΣΗ ΓΙΑ ΤΗΝ ΒΕΛΤΙΩΣΗ ΤΟΥ ΕΥΡΟΥΣ ΖΩΝΗΣ *Σελίδα:37-39*

6.ΕΙΚΟΝΕΣ ΚΑΤΑ ΤΗΝ ΕΚΤΕΛΕΣΗ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ ΣΤΟΝ Η/Υ
Σελίδα:40-46

7.ΑΝΑΦΟΡΕΣ *Σελίδα:47*

ΠΑΡΑΡΤΗΜΑ Α:ΤΟ ΛΟΓΙΣΜΙΚΟ ΤΟΥ ΜΙΚΡΟΕΛΕΓΚΤΗ

ΠΑΡΑΡΤΗΜΑ Β:ΤΟ ΛΟΓΙΣΜΙΚΟ ΤΟΥ Η/Υ

ΠΑΡΑΡΤΗΜΑ Γ:
Γ.1.Η ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΔΟΜΗ ΤΩΝ ΜΙΚΡΟΕΛΕΓΚΤΩΝ ΤΗΣ ΟΙΚΟΓΕΝΕΙΑΣ MCS-51
Γ.2.ΟΔΗΓΟΣ ΠΡΟΓΡΑΜΜΑΤΙΣΤΗ ΚΑΙ ΣΥΝΟΛΟ ΕΝΤΟΛΩΝ ΜΙΚΡΟΕΛΕΓΚΤΩΝ ΟΙΚΟΓΕΝΕΙΑΣ MCS-51
Γ.3.Ο ΜΙΚΡΟΕΛΕΓΚΤΗΣ Intel 87C51
Γ.4. Η ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΔΟΜΗ ΤΩΝ ΜΙΚΡΟΕΛΕΓΚΤΩΝ ΤΗΣ ΟΙΚΟΓΕΝΕΙΑΣ MCS-96



PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

1.ΒΑΣΙΚΕΣ ΑΠΑΙΤΗΣΕΙΣ ΓΙΑ ΤΗΝ ΕΚΤΕΛΕΣΗ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ

Το υπολογιστικό σύστημα που διαθέτετε (Η/Υ), προκειμένου να εκτελέσει το παρεχόμενο λογισμικό, θα πρέπει να ικανοποιεί όλες τις ακόλουθες προϋποθέσεις:

✓να είναι κατά IBM συμβατός προσωπικός υπολογιστής (PC=Personal Computer)

✓να διαθέτει κάρτα οθόνης IBM VGA (Video Graphics Array:ανάλυση 640x480 εικονοστοιχεία (pixels))

✓να έχει έγχρωμη ή μονόχρωμη οθόνη υποστήριξης κάρτας οθόνης IBM VGA

✓για την περίπτωση της ενεργοποίησης της δυνατότητας εκτύπωσης, να έχει ελεύθερη την υποδοχή της παράλληλης επικοινωνίας LPT1 (Line PrinTer 1) (για την περίπτωση της σειριακής επικοινωνίας του Η/Υ με τον εκτυπωτή, χρειάζεται μία ελεύθερη σειριακή θύρα πρωτόκολλου RS232 (COM1 ή COM2), για την ανακατεύθυνση εκεί της θύρας LPT1)

✓να διαθέτει ελεύθερη υποδοχή αρσενικού βύσματος 9 ακίδων πρωτόκολλου σειριακής επικοινωνίας RS232 (COM1 ή COM2)

✓να λειτουργεί με το λειτουργικό σύστημα MSDOS (MicroSoft Disk Operating System) έκδοσης (version) 6,0 ή νεώτερης

✓να διαθέτει ελεύθερη συμβατική μνήμη του μεγέθους των 200KB περίπου (conventional memory=τα πρώτα 640KB της μνήμης του Η/Υ)

✓έμμεση προϋπόθεση:όσο μεγαλύτερη είναι η ταχύτητα επεξεργασίας που υποστηρίζεται από τον Η/Υ, ανάλογα αυξάνεται η παρακολούθηση σε πραγματικό χρόνο (real time) των επεξεργαζόμενων σημάτων εισόδου

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

2.ΤΕΧΝΙΚΑ ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΠΑΚΕΤΟΥ

✓υποστήριξη 2 καναλιών

✓εξωτερικοί επιλογείς ζεύξης συνεχούς/εναλλασσόμενου (DC/AC) για κάθε κανάλι

✓υποστήριξη εξωτερικού σήματος σκανδαλισμού (TRIGGER)

✓εξωτερικός επιλογέας εσωτερικού/εξωτερικού σήματος σκανδαλισμού (TRIGGER internal/external)

✓ηλεκτρονικά ελεγχόμενη επιλογή καναλιού/καναλιών

✓12 ηλεκτρονικά ελεγχόμενες κλίμακες τάσεως/τμήμα (5mV έως 20V)

✓λογισμικά ελεγχόμενη γείωση καναλιού/καναλιών

✓11 κλίμακες χρόνου/τμήμα (10μs έως 50ms)

✓λογισμικά ελεγχόμενη οριζόντια μετατόπιση για κάθε κανάλι ξεχωριστά

✓για μηδενική οριζόντια μετατόπιση δυνατή η επεξεργασία σημάτων των οποίων η απόλυτη τιμή του πλάτους δεν υπερβαίνει τα 128V

-επειδή ανάλογα με την επιλεγμένη κλίμακα χρόνου/τμήμα για το αντίστοιχο κανάλι, διαφοροποιείται η ρουτίνα για την λήψη των διαδοχικών δειγμάτων από το λογισμικό, αυτό έχει ως συνέπεια (σύμφωνα με το θεώρημα δειγματοληψίας του Shannon), την αλλαγή του μεγίστου ορίου της επιτρεπόμενης συχνότητας για το αντίστοιχο επεξεργαζόμενο σήμα εισόδου, προκειμένου να εξασφαλίζεται η αξιόπιστη αναπαράστασή του, σύμφωνα με τον παρακάτω πίνακα:

Κλίμακα χρόνου/τμήμα	*Μέγιστη επιτρεπόμενη συχνότητα αντίστοιχου σήματος εισόδου*
10 μs,20 μs,50 μs	*65,83KHz*
200 μs	*16,11KHz*
500 μs	*6,44KHz*
1 ms	*3,22KHz*
2 ms	*1,61KHz*
5 ms	*644,44Hz*
10 ms	*322,22Hz*
20 ms	*161,11Hz*
50 ms	*64,44Hz*

✓υποστήριξη λειτουργίας κανάλι 1 + κανάλι 2

✓υποστήριξη λειτουργίας κανάλι 1 - κανάλι 2

✓υποστήριξη λειτουργίας απόλυτης μέτρησης μεταβολής τάσεως για κάθε κανάλι ξεχωριστά

✓υποστήριξη λειτουργίας απόλυτης μέτρησης μεταβολής χρόνου για κάθε κανάλι ξεχωριστά

✓δυνατότητα αρχειοθέτησης λαμβανόμενων κυματομορφών με δυνατότητα ανάκτησής τους και απόλυτης μέτρησης τάσεως ή/και χρόνου επί αυτών

✓δυνατότητα εκτύπωσης λαμβανόμενων κυματομορφών ή/και αρχειοθετημένων

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

✓έλεγχος λαθών χρήστη (καθορισμός ανύπαρκτου διαδρόμου ή αρχείου, μη εισαγωγή δισκέτας εντός του καθοριζόμενου οδηγού δισκέτας (floppy disk drive) ή για την περίπτωση ενός χρησιμοποιούμενου οδηγού (5+1/4)" όπου ο χρήστης δεν έχει κλείσει την πόρτα) με εμφάνιση αντίστοιχων οδηγιών για να μην διακοπεί η εκτέλεση του λογισμικού
✓έλεγχος γενικά του συστήματος (μη διαθέσιμη η αναγκαία συμβατική μνήμη για την συνέχεια του λογισμικού, χρησιμοποιούμενη παλιά έκδοση του MSDOS, μη διαθέσιμος απαιτούμενος χώρος (δισκέτα/σκληρός δίσκος) για την αποθήκευση εκεί αρχείων κυματομορφών, ελάττωμα στην επιφάνεια μαγνητικής εγγραφής του επιλεγμένου σκληρού δί
σκου/δισκέτας για ανάγνωση αρχείου κυματομορφών) με αντίστοιχη εμφάνιση οδηγιών για την αντιμετώπιση των προβλημάτων
✓άμεσα παρεχόμενη βοήθεια στον χρήστη στα Ελληνικά, με παραδείγματα όπου απαιτούνται
Παρατήρηση: Κατά την διάρκεια εκτέλεσης του λογισμικού όταν βρίσκεστε στον βασικό κατάλογο επιλογών, να αποφεύγετε το πάτημα του πλήκτρου PAUSE ή PRINT SCREEN ή SHIFT+PRINT SCREEN.

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

3.ΚΑΤΑΣΚΕΥΑΣΤΙΚΟ ΜΕΡΟΣ (HARDWARE)

ΑΠΟΣΠΑΣΜΑ-PART

Σύμφωνα με το ηλεκτρονικό σχέδιο της κατασκευής, για κάθε μία εκ΄ των δύο εισόδων για τα σήματα επεξεργασίας που διαθέτει ο ψηφιακός μας παλμογράφος, διατίθεται ένα βύσμα σύνδεσης BNC θηλυκό (K1 ή K2 αντίστοιχα), ένας πυκνωτής χωρητικότητας 10nF (C1 ή C2), ο οποίος μέσω του αντίστοιχου εξωτερικού επιλογέα (SW1 ή SW2) βραχυκυκλώνεται όταν ο επιλογέας είναι ανοικτός (ON=κίνηση αριστερά) και όχι όταν είναι κλειστός (OFF=κίνηση δεξιά). Στην πρώτη περίπτωση επιτυγχάνεται η επιλογή της ζεύξης συνεχούς (DC). Στην δεύτερη περίπτωση επιτυγχάνεται η επιλογή της ζεύξης εναλλασσόμενου (AC), όπου (σύμφωνα με τον τύπο της χωρητικής αντίστασης Xc=1/(ωC)=1/(2πfεισόδουC)) ο αντίστοιχος πυκνωτής αφήνει να περάσουν μόνο τα σήματα μη μηδενικής συχνότητας (τα όχι συνεχή δηλαδή). Κατόπιν ακολουθεί μία αντίσταση 18MΩ (αρκετά μεγάλη δηλαδή) (R1 ή R2), η οποία αντιπροσωπεύει την αντίσταση εισόδου του οργάνου για το αντίστοιχο κανάλι. Τέλος υπάρχουν δύο εν΄ παραλλήλω συνδεδεμένες δίοδοι κατά αντίθετο πολικότητα η μία σε σχέση με την άλλη (D1 και D2 -ή- D3 και D4), των οποίων το άλλο άκρο γειώνεται. Με την χρήση των διόδων αυτών επιτυγχάνεται η συνέχεια προς το υπόλοιπο κύκλωμα μιας τάσεως πλέον που δεν μπορεί να υπερβαίνει τα 0,5V κατά απόλυτη τιμή.

Από εδώ και πέρα τα υπόλοιπα ηλεκτρονικά εξαρτήματα είναι κοινά, αφού η λογική για την επεξεργασία των σημάτων εισόδου δεν διαφέρει από κανάλι εισόδου σε κανάλι εισόδου. Ο ηλεκτρονικός διακόπτης S5 (που ελέγχεται από την ακίδα εξόδου P1.7 του μικροελεγκτή), χρησιμοποιείται για την επιλογή του ενός εκ΄ των δύο το πολύ σημάτων εισόδου που μπορούν να επεξεργαστούν. Στην περίπτωση της επιλογής και των δύο καναλιών, το λογισμικό του μικροελεγκτή φροντίζει ούτως ώστε για την μία ομάδα λήψης δειγμάτων ο διακόπτης S5 να συνδέει με το υπόλοιπο κύκλωμα το ένα σήμα εισόδου, και για την επόμενη ομάδα λήψης δειγμάτων το άλλο σήμα εισόδου. Έτσι επιτυγχάνεται -με καθυστέρηση τον χρόνο της προηγούμενης ομάδας λήψης δειγμάτων σε πραγματικό χρόνο- η επεξεργασία για το κάθε ένα από τα δύο σήματα εισόδου όταν αυτά επιθυμούμε να παρακολουθούνται παράλληλα.

Κατόπιν υπάρχει ένας διαιρέτης τάσεως που απαρτίζεται από τις αντιστάσεις R5, R4, R3 (R3=10R4=100R5=2MΩ) και τους ηλεκτρονικούς διακόπτες S3, S2, S1, S4 (που ελέγχονται από τις ακίδες εξόδου P3.5, P3.6, P3.7, P3.4 του μικροελεγκτή αντίστοιχα). Ανάλογα με την κατάσταση αυτών των διακοπτών, γειώνεται μέσω του αντίστοιχου συνδυασμού αντίστασης και διακόπτη το αντίστοιχο σήμα εισόδου, οπότε και σε συνδυασμό με την αντίσταση εισόδου του οργάνου, επιτυγχάνεται η διαίρεση της τάσεως του σήματος εισόδου (Vinput) με έναν από τους συντελεστές 1, 10, 100 ή 1000…

PART OF MY PERSONAL THESIS DOCUMENTATION (C) P.P.

ΑΠΟΣΠΑΣΜΑ-PART

Η επικοινωνία της κατασκευής με τον προσωπικό (PC) συμβατό υπολογιστή με τον IBM, γίνεται μέσω του πρωτοκόλλου σειριακής επικοινωνίας RS232. Αναλυτικότερα, η επικοινωνία γίνεται μέσω μόνο των 5 γραμμών TxD (transmit=εκπομπή), RxD (receive=λήψη), /DTR (data terminal ready=δεδομένα τερματικού έτοιμα), /RTS (request to send=αίτηση για αποστολή) και GND (ground=γείωση), διαμέσου του αντίστοιχου βύσματος των 9 ακίδων (η κατασκευή διαθέτει το αντίστοιχο θηλυκό βύσμα (K4) και κατά συνέπεια ο υπολογιστής θα πρέπει να διαθέτει το αντίστοιχο αρσενικό). Η υλοποίηση με την χρήση των οπτοζευκτών (optocouplers) εκπομπής (4N27) και λήψης (6N136), εξασφαλίζει την γαλβανική απομόνωση του υπολογιστή από την κατασκευή. Κατά αυτόν τον τρόπο διαφυλάσσεται η ακεραιότητα του σειριακού του υπολογιστή (Intel Universal Asynchronous Receiver Transmitter 8250) για την περίπτωση όπου για τον οποιοδήποτε λόγο δεν πάει κάτι καλά με την κατασκευή. Φυσικά για την αποκατάσταση της σειριακής επικοινωνίας αξιοποιήθηκε η αντίστοιχη δυνατότητα του μικροελεγκτή. Η μετατροπή των σημάτων TTL (transistor-transistor logic) 0V έως 5V που δίνει ο μικροελεγκτής, μετατρέπονται στα αντίστοιχα επίπεδα τάσεως RS232 (για το λογικό 0 τάση 3V έως 15V, για το λογικό 1 τάση -3V έως -15V) από την βαθμίδα των εξαρτημάτων που υπάρχει κατά μήκος των γραμμών TxD, RxD του μικροελεγκτή (συνήθεις τιμές 12V, -12V αντίστοιχα).

Ειδικότερα για το κύκλωμα εκπομπής συμβαίνουν τα ακόλουθα: όταν εκπέμπεται λογικό 1 (μέσω της αντίστοιχης ακίδας P3.1 (TxD) του μικροελεγκτή), αυτό έχει ως αποτέλεσμα το NPN transistor T1 να άγει με επακόλουθο την ίδια συμπεριφορά του NPN φωτο-transistor του οπτοζεύκτη 4N27. Έτσι στην γραμμή λήψεως του Η/Υ (ακίδα 2 του βύσματος), περνά το αρνητικό δυναμικό της γραμμής /RTS (ακίδα 7 του βύσματος), της οποίας το δυναμικό έχει καθοριστεί μέσω του λογισμικού του Η/Υ. Αυτό το αρνητικό δυναμικό ερμηνεύεται σύμφωνα με το χρησιμοποιούμενο πρωτόκολλο σειριακής επικοινωνίας, πράγματι ως λογικό 1. Κατά αντίστοιχο τρόπο στην περίπτωση εκπομπής λογικού 0, το NPN transistor T1 δεν άγει με επακόλουθο την ίδια συμπεριφορά του NPN φωτο-transistor του οπτοζεύκτη 4N27. Έτσι στην γραμμή λήψεως του Η/Υ (ακίδα 2 του βύσματος), περνά το θετικό δυναμικό της γραμμής /DTR (ακίδα 4 του βύσματος), της οποίας το δυναμικό έχει καθοριστεί μέσω του λογισμικού του Η/Υ. Αυτό το θετικό δυναμικό ερμηνεύεται σύμφωνα με το χρησιμοποιούμενο πρωτόκολλο σειριακής επικοινωνίας, πράγματι ως λογικό 0. Όσον αφορά το κύκλωμα της λήψεως, στην αντίστοιχη ακίδα P3.0 (RxD) του μικροελεγκτή, φτάνει το αντίστοιχο επιθυμητό επίπεδο τάσεως TTL, με την βοήθεια απλά και μόνο του οπτοζεύκτη 6N136 σύμφωνα με την παρούσα συνδεσμολογία των ακροδεκτών του (χρήση της γραμμής

PART OF MY PERSONAL THESIS DOCUMENTATION (c) P.P.

γείωσης (GND ακίδα 5 του βύσματος) και της γραμμής εκπομπής (ακίδα 3 του βύσματος)).

Όσον αφορά το κύκλωμα τροφοδοσίας της κατασκευής, η τροφοδοσία μπορεί να γίνει είτε μέσω τροφοδοτικού που να παρέχει συνεχή (DC) τάση 12V, είτε μέσω μιας μπαταρίας 9V (τύπος 6F22E). Ανάλογα με το τι επιλογή έχουμε κάνει, η δίοδος D9 ή D8 αντίστοιχα, εξασφαλίζει την πορεία προς το υπόλοιπο κύκλωμα τροφοδοσίας της θετικής τάσεως του τροφοδοτικού ή της μπαταρίας.

Αφού τεθεί ο διακόπτης SWITCH στην θέση ON, η τάση τροφοδοσίας διοχετεύεται προς το υπόλοιπο κύκλωμα. Το ολοκληρωμένο 78L05 αναλαμβάνει την σταθεροποίηση της τάσεως τροφοδοσίας στα 5V στην έξοδό του (Vcc=5V), προκαλώντας το άναμμα του LED (Light Emitting Diode) D10 μέσω της αντίστασης πόλωσής του R23, ενώ ακολούθως το ολοκληρωμένο LMC7660 αναλαμβάνει την αναστροφή της τάσεως στα -5V στην έξοδό του (Vee= -5V). Οι πυκνωτές C10 έως C14 παίζουν τον ρόλο των πυκνωτών απόζευξης (decoupling capacitors), γειώνουν δηλαδή το σήμα εισόδου κατά την διάρκεια του μεταβατικού φαινομένου που λαμβάνει χώρα στο πολύ μικρό χρονικό διάστημα όπου ο διακόπτης SWITCH τίθεται στην θέση ON, προστατεύοντας έτσι το υπόλοιπο κύκλωμα από στιγμιαίες αλλά "υψηλές" και κατά συνέπεια επικίνδυνες τάσεις.

Παρακάτω παρατίθενται ο πίνακας των χρησιμοποιούμενων υλικών καθώς και τα ηλεκτρονικά σχέδια του κυρίου κυκλώματος (THE MAIN CIRCUIT) και του τροφοδοτικού (THE POWER SUPPLY CIRCUIT) αντίστοιχα (η σχεδίαση έγινε με το πρόγραμμα Draft του ORCAD έκδοσης (version) 4.04):

ΑΠΟΣΠΑΣΜΑ-PART

Πίνακας Υλικών:

-αντιστάσεις τύπου metal film, ισχύος 0,4W, ανοχής 1%
R1,R2=18MΩ
R3=2MΩ
R4=200KΩ
R5,R8=20KΩ
R6=30KΩ
R7,R12=120KΩ
R9=12KΩ
R10,R11,R17,R18,R20=10KΩ
R24=100KΩ
R13=68Ω
R14=6,2KΩ
R15=680KΩ

-ποτενσιόμετρα
P2,P3=10KΩ μικρά

-ρυθμιστές (trimmers)
P1=4,7KΩ οριζόντιο

-δικτύωμα αντιστάσεων (R-NET)
RN1=8x10KΩ

-πυκνωτές
C1,C2=10nF/400V MKT
C3=120pF
C4=47pF
C5=68pF

PART OF MY PERSONAL THESIS DOCUMENTATION (C) P.P.

R16=4,7KΩ
R19=220Ω
R21=2,2KΩ
R22=3,3KΩ
R23=680Ω
R25=9,1KΩ
R26=1,3KΩ

C6,C7=33pF
C8,C9,C10=10μF/16V
C11=100μF/16V
C12,C13,C14=0,1μF
C15=56nF

-transistor T1=BC548

-δίοδοι…

ΑΠΟΣΠΑΣΜΑ-PART

X1=κρύσταλλος 11,0592MHz
Ακιδοσειρά 20 ακίδων σε σχήμα γωνίας
καλώδια-καλωδιοταινία με ανάλογα βύσματα σύνδεσης για την σύνδεση του καναλιού 1, του καναλιού 2, του εξωτερικού σήματος σκανδαλισμού, της εξωτερικής τάσεως τροφοδοσίας (αν δεν χρησιμοποιείται μπαταρία) και της κατασκευής με τον Η/Υ
μπαταρία 9V (τύπου 6F22E) αν δεν χρησιμοποιείται εξωτερική τάση τροφοδοσίας
ΚΟΥΤΙ=011 της ΤΕΚΟ (το 011Β διαθέτει και μπαταριοθήκη)

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

4.ΛΟΓΙΣΜΙΚΟ ΜΕΡΟΣ (SOFTWARE)

ΑΠΟΣΠΑΣΜΑ-PART

Το λογισμικό χωρίζεται σε δύο άμεσα αλληλοσυμπληρώμενες ενότητες: το λογισμικό για τον μικροελεγκτή και το λογισμικό για τον Η/Υ. Η επικοινωνία των δύο αυτών ενοτήτων, γίνεται μέσω του πρωτόκολλου σειριακής επικοινωνίας RS232 με ταχύτητα μετάδοσης (Baud Rate) 9600BPS (Bits Per Second).

Αφού εκτελέσουμε το ομαδικό αρχείο (BATch), επιλέξουμε και καθορίσουμε τότε τον χρησιμοποιούμενο τύπο εκτυπωτή -αν επιθυμούμε την ενεργοποίηση της αντίστοιχης δυνατότητας του λογισμικού του υπολογιστή- (και την σειριακή θύρα επικοινωνίας RS232 (COM1 ή COM2) που θα χρησιμοποιηθεί για την ανακατεύθυνση της παράλληλης θύρας επικοινωνίας LPT1 (Line PrinTer 1), στην περίπτωση που ο εκτυπωτής δεν μπορεί να συνδεθεί απευθείας παράλληλα στην υποδοχή LPT1 αλλά μόνο σειριακά), τότε θέτωντας τον διακόπτη ενεργοποίησης στην θέση ON (οπότε και το LED θα ανάψει αφού έχει συνδεσμολογηθεί σωστά η τάση τροφοδοσίας) και καθορίζοντας την 9 ακίδων σειριακή θύρα επικοινωνίας (COM1 ή COM2), το λογισμικό του υπολογιστή στέλνει στον μικροελεγκτή έναν κωδικό (το 55H), περιμένοντας από το λογισμικό του μικροελεγκτή μέσα σε χρόνο το πολύ 2s τον συμπληρωματικό κωδικό (δηλαδή το AAH), ο οποίος και σηματοδοτεί την χωρίς σφάλματα αποκατάσταση της σειριακής επικοινωνίας μεταξύ των δύο μερών. Από εκεί και έπειτα το λογισμικό του υπολογιστή στέλνει τις αρχικές παραμέτρους λειτουργίας προς τον μικροελεγκτή, του οποίου το λογισμικό βρίσκεται σε κατάσταση αναμονής λήψης τους. Οι παράμετροι αυτοί είναι 7bytes και στέλνονται με την ακόλουθη σειρά και έχουν τις εξείς πληροφορίες όπως δείχνονται παρακάτω:

	b7 b6 b5 b4 b3 b2 b1 b0	(b=bit, X=αδιάφορη τιμή ψηφίου (don't care bit))
α)	C1 C0 X X X X X X	καθορισμός καναλιού/καναλιών ή εξόδου
β)	X X S7 S6 S4 S3 S2 S1	καθορισμός τάσης/τμήμα για το κανάλι 1
γ)	(01H έως 0BH)	καθορισμός χρόνου/τμήμα για το κανάλι 1
δ)	(FDH)	καθορισμός ηλεκτρονικής μηδενικής μετατόπισης για το κανάλι 1
ε)	X X S7 S6 S4 S3 S2 S1	καθορισμός τάσης/τμήμα για το κανάλι 2
ζ)	(01H έως 0BH)	καθορισμός χρόνου/τμήμα για το κανάλι 2
η)	(FDH)	καθορισμός ηλεκτρονικής μηδενικής οριζόντιας μετατόπισης για το κανάλι 2

PART OF MY PERSONAL THESIS DOCUMENTATION (c) Π.Π.

όπου:

C1	C0	Λειτουργία
0	0	κωδικός τέλους επεξεργασιών (έξοδος) κάνοντας P1.0=0
0	1	επιλογή του καναλιού 1 κάνοντας S5=P1.7=0
1	0	επιλογή του καναλιού 2 κάνοντας S5=P1.7=1
1	1	επιλογή και των δύο καναλιών κάνοντας εναλλασσόμενα ανά ομάδα δειγμάτων S5=/S5=/P1.7 (αρχικά επιλέγεται το κανάλι 1)

S7	S6	S4	S3	S2	S1	Συντελεστής (x Νεισόδου)	Όρια απεικόνισης	Τάση/τμήμα
0	0	0	0	0	0	10	|+- 128 mV|	20mV
0	0	0	0	0	1	1	|+- 1,28 V|	200mV
0	0	0	0	1	1	0,1	|+- 12,8 V|	2V
0	0	0	1	1	1	0,01	|+- 128 V|	20V
1	0	0	0	0	0	20	|+- 64 mV|	10mV
1	0	0	0	0	1	2	|+- 640 mV|	100mV
1	0	0	0	1	1	0,2	|+- 6,4 V|	1V
1	0	0	1	1	1	0,02	|+- 64 V|	10V
1	1	0	0	0	0	40	|+- 32 mV|	5mV
1	1	0	0	0	1	4	|+- 320 mV|	50mV
1	1	0	0	1	1	0,4	|+- 3,2 V|	500mV
1	1	0	1	1	1	0,04	|+- 32 V|	5V
X	X	1	X	X	X	ηλεκτρ. γείωση (GND)		

...με: S7=P1.5, S6=P1.6, S4=P3.4, S3=P3.5, S2=P3.6, S1=P3.7

Κωδικός χρόνου/τμήμα	Χρόνος/τμήμα	Δείγματα/οθόνη	Timer0	Μέγιστη feισόδου
01H	10μs	23	όχι	65,83KHz
02H	20μs	47	όχι	65,83KHz
03H	50μs	116	όχι	65,83KHz
04H	200μs	116	ναι	16,11KHz
05H	500μs	116	ναι	6,44KHz
06H	1ms	116	ναι	3,22KHz
07H	2ms	116	ναι	1,61KHz
08H	5ms	116	ναι	644,44Hz
09H	10ms	116	ναι	322,22Hz
0AH	20ms	116	ναι	161,11Hz
0BH	50ms	116	ναι	64,44Hz

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

<u>Παρατηρήσεις:</u>
-όταν δεν χρησιμοποιείται ο Timer 0 (T0), σύμφωνα με την σχεδιασμένη υπορουτίνα λήψεως διαδοχικών δειγμάτων (βλέπε το λογισμικό του μικροελεγκτή), ο ελάχιστος χρόνος που απαιτείται για την λήψη ενός νέου δείγματος αντιστοιχεί σε 84 περιόδους ρολογιού (Tstates) (σύμφωνα με το ρεπερτόριο των εντολών του μικροελεγκτή), δηλαδή σε χρόνο 7,595486111μs (Tstate=(1/12)M=1/fκρυστάλλου=(1/11,0592)μs όπου M κύκλος μηχανής), που αντιστοιχεί σε συχνότητα δειγματοληψίας 131,6571429KHz. Αυτό έχει ως αποτέλεσμα σύμφωνα με το θεώρημα δειγματοληψίας του Shannon, η αντίστοιχη μέγιστη συχνότητα του επεξεργαζόμενου σήματος -προκειμένου να εξασφαλιστεί η οριακή αξιόπιστη δειγματοληψία του- να είναι:

fμέγιστη εισόδου=fδειγματοληψίας/2=65,82857143KHz

-όταν χρησιμοποιείται ο Timer 0 (T0), εισάγεται τεχνητά στην υπορουτίνα λήψεως των διαδοχικών δειγμάτων (βλέπε το λογισμικό του μικροελεγκτή), ένας -ανάλογα με την επιλεγείσα κλίμακα χρόνου/τμήμα για το αντίστοιχο κανάλι- χρόνος μέτρησης, αφού αν δεν γινόταν αυτό θα είμασταν υποχρεωμένοι να λάβουμε μεγαλύτερο αριθμό δειγμάτων που συνεπάγεται κάτι τέτοιο μεγαλύτερη απαιτούμενη μνήμη RAM η οποία δεν είναι διαθέσιμη από τον συγκεκριμένο χρησιμοποιούμενο μικροελεγκτή. Έτσι για την παρούσα σχεδίαση, αυτή η ανάλογη καθυστέρηση έχει σαν αποτέλεσμα για την αντίστοιχη κλίμακα χρόνου/τμήμα, μείωση της μεγίστης συχνότητας του σήματος εισόδου που μπορεί να επεξεργαστεί στην παρούσα κλίμακα χρόνου/τμήμα αξιόπιστα. Σύμφωνα με την παρατήρηση αυτή, όταν πρόκειται να επεξεργαστεί το πακέτο μας ένα σήμα εισόδου του οποίου η μέγιστη συχνότητα δεν υπερβαίνει τα 65,83KHz αλλά δεν ξέρουμε επακριβώς την συχνότητά του, για λόγους αποφυγής λαθών καλό θα ήταν να ξεκινήσουμε την επεξεργασία του από την μικρότερη κλίμακα χρόνου/τμήμα, και ανάλογα να κινηθούμε βαθμιαία προς τις μεγαλύτερες, συγκρίνοντας τις νέες με τις προηγούμενες μετρήσεις για το ίδιο σήμα, προκειμένου να καταλήξουμε σε μια αξιόπιστη αλλά και λειτουργική (σύμφωνα με τις επιδιώξεις μας) κλίμακα χρόνου/τμήμα για το αντίστοιχο σήμα εισόδου.

Για τον υπολογισμό της οριζόντιας μετατόπισης υλοποιείται ο ακόλουθος μηχανισμός:
Δίνουμε έναν επιθυμητό συντελεστή που είναι ένας ακέραιος αριθμός μέσα από το διάστημα τιμών [-128,+128] (τον οποίο το λογισμικό του Η/Υ τον επεξεργάζεται αφού τον μετατρέψει στο δεκαεξαδικό αριθμητικό σύστημα), ο οποίος πολλαπλασιαζόμενος με την τρέχουσα παράμετρο τάσεως/ /εικονοστοιχείο (pixel) (που απεικονίζεται στην αντίστοιχη περιοχή του επεξεργαζόμενου καναλιού), μας δίνει την οριζόντια μετατόπιση ως μέγεθος τάσεως (η οποία και απεικονίζεται προκειμένου ανά πάσα στιγμή να μπορούμε να ελέγξουμε την συμπεριφορά του αντίστοιχου σήματος εισόδου). Επειδή αυτή η διαδικασία δεν είναι τόσο φιλική θα βοηθούσε ο εξής κανόνας:

PART OF MY PERSONAL THESIS DOCUMENTATION - Π.Π.

η κάθε 20άδα αντιπροσωπεύει στην οθόνη μας μετατόπιση κατά 1 τμήμα τάσεως (division) του αντίστοιχου σήματος σε σχέση με πριν.

Όταν ληφθούν και οι 7 παράμετροι από το λογισμικό του μικροελεγκτή, το βάρος πλέον της επεξεργασίας στρέφεται προς αυτόν. Ειδικότερα, αποκωδικοποιεί μία προς μία αυτές τις παραμέτρους, ελέγχοντας για κάθε μία ομάδα λήψης δειγμάτων για το αντίστοιχο κανάλι (το πλήθος των δειγμάτων εξαρτάται άμεσα από την αντίστοιχη επιλογή χρόνου/τμήμα), τους ηλεκτρονικούς διακόπτες S1 έως S7 καθώς και τις γραμμές /RD, /WR του ADC, DAC αντίστοιχα. Όταν ληφθεί η αντίστοιχη ομάδα δειγμάτων, οι τιμές αυτών των δειγμάτων που προσωρινά έχουν αποθηκευτεί στην εσωτερική μνήμη δεδομένων RAM που διαθέτει ο μικροελεγκτής, στέλνονται στο λογισμικό του υπολογιστή σειριακά, ο οποίος φροντίζει για την επεξεργασία και απεικόνιση των αποτελεσμάτων. Ακολούθως το λογισμικό του μικροελεγκτή βρίσκεται σε κατάσταση αναμονής λήψης ενός byte, του οποίου η τιμή θα σηματοδοτεί την συνέχεια λήψης ομάδας δειγμάτων σύμφωνα με τις τρέχουσες παραμέτρους, ή την παραπομπή του λογισμικού στην θέση λήψης των νέων 7 παραμέτρων. Στην περίπτωση λοιπόν που εμείς μετά την απεικόνιση των αρχικών δειγμάτων, επιλέξουμε (για π.χ.) κάποια άλλη κλίμακα τάσεως/τμήμα για κάποιο ενεργό κανάλι μέσω του λογισμικού του υπολογιστή, το λογισμικό του υπολογιστή θα στείλει σειριακά στον μικροελεγκτή το byte 55H, που θα παραπέμπει το λογισμικό του μικροελεγκτή στην θέση λήψης των 7 νέων παραμέτρων οι οποίες στέλνονται ακολούθως από το λογισμικό του υπολογιστή κ.ο.κ.

Ο μηχανισμός διακοπών του μικροελεγκτή κρίθηκε ανώφελος να χρησιμοποιηθεί. Το σειριακό του μικροελεγκτή ελέγχεται δειγματοληπτικά (polling), όπως η ανίχνευση λογικού 0 στην ακίδα εισόδου P3.2 (αντί /INT0) (που σηματοδοτεί την αφετηρία της νέας ομαδικής λήψης δειγμάτων για τις τρέχουσες παραμέτρους), καθώς και ο έλεγχος υπερχείλησης του χρονιστή T0 (ο οποίος αναλαμβάνει την χρονική καθυστέρηση μεταξύ λήψης διαδοχικών δειγμάτων, για τις περιπτώσεις επιλογής μιας εκ΄ των κλιμάκων χρόνου/τμήμα με κωδικό 04H έως 0BH (200μs έως 50ms)). Ο χρονιστής T1 χρησιμοποιείται για την παραγωγή του επιθυμητού ρυθμού μετάδοσης στα 9600BPS. Το μέγεθος του προγράμματος για τον μικροελεγκτή είναι 776bytes.

Για μια ακόμα λεπτομερέστερη και ειδικότερη εικόνα σχεδίασης/ανάλυσης, ακολουθεί η λίστα του λογισμικού για τον μικροελεγκτή με την παράλληλη αναλυτική παράθεση σχολίων...

PART OF MY PERSONAL THESIS DOCUMENTATION - (c) P.P.

ΑΝΑΛΥΤΙΚΑ ΤΟ ΛΟΓΙΣΜΙΚΟ (SOFTWARE) ΤΟΥ ΜΙΚΡΟΕΛΕΓΚΤΗ

ΑΠΟΣΠΑΣΜΑ-PART

Αμέσως παρακάτω, παρατίθεται το λογισμικό υπό μορφή συμβολικής γλώσσας (assembly language), που έχει καταχωρηθεί στην μνήμη προγράμματος (EPROM) του μικροελεγκτή i87C51 στην αντίστοιχη γλώσσα μηχανής (object language). Κάτω από κάθε εντολή (ή ομάδα εντολών) παρατίθενται αναλυτικές πληροφορίες, προκειμένου ο αναγνώστης να έχει την δυνατότητα (αν το θελήσει) να προσαρμοστεί στον τρόπο της παρούσας σχεδίασης:

Κύριο πρόγραμμα:

```
PCON    EQU 87H
```

Ψευδοεντολή προς τον χρησιμοποιούμενο συμβολομεταφραστή (assembler) που παράγει τον κώδικα (object) που καταχωρείται στην EPROM του μικροελεγκτή.

```
ORG     0000H
```

Ψευδοεντολή προς τον assembler που καθορίζει στον προγραμματιστή της EPROM σε ποια διεύθυνση να καταχωρήσει των κώδικα των ακόλουθων εντολών. Μετά από την επαναφορά (reset), ο Program Counter (PC) ισούται με 0000H απ΄ όπου και αρχίζει το κύριο πρόγραμμα. Κανονικά θα έπρεπε να αρχίζει από την διεύθυνση 002BH της εσωτερικής EPROM, αλλά στην προκειμένη περίπτωση θα ήταν άχρηστο αφού δεν χρησιμοποιείται καμμία διακοπή (interrupt). Ο Processor Status Word (PSW) μετά από reset ισούται με 00H, άρα αρχικά επιλεγμένη είναι η "τράπεζα 0" (bank 0) θέσεων της εσωτερικής μνήμης δεδομένων RAM (περιοχή από 00H έως 07H), ενώ ο Stack Pointer (SP) αρχικά ισούται με 07H και έχουμε απενεργοποίηση όλων των σημάτων διακοπής αφού αρχικά ο Interrupt Enablel (IE) ισούται με 00H (και ο Interrupt Priority (IP) με 00H).

```
MOV     TMOD,#00100001B
```

Καθορισμός της λειτουργίας των χρονιστών(timers)/μετρητών(counters) Timer 0 (T0), Timer 1 (T1) μέσω του καταχωρητή Timer MODe (TMOD):

-ο T1 ως χρονιστής αυτόματα επαναφορτιζόμενος (auto reload), των 8 δυαδικών ψηφίων (bits), για την παραγωγή ρυθμού μετάδοσης πληροφοριών (BaudRate) για την υλοποίηση του πρωτοκόλλου σειριακής επικοινωνίας RS232

-ο T1 θα μετρά όσο είναι ενεργοποιημένος, δηλαδή όσο το bit Timer oveRflow 1 (TR1) του καταχωρητή Timer CONtrol (TCON), είναι 1

-ο T0 ως χρονιστής προγραμματιστικά επαναφορτιζόμενος των 16 bit, για την λήψη των δειγμάτων ανά χρονικά διαστήματα που εξαρτώνται από την επιλογή χρόνος/τμήμα

PART OF INTERSCIENCE DOCUMENTATION (C) E.P.

-ο T0 θα μετρά όσο το bit Timer oveRflow 0 (TR0) του TCON είναι 1 (αντίστοιχα και για τον T1)

```
MOV     TH1,#0FDH
MOV     TL1,#0FDH
```

Για Baud Rate 9600BPS (Bits Per Second) θα πρέπει:

Baud Rate=fκρυστάλλου/[384(256-TH1)] ενώ το bit Serial MODe (SMOD) του καταχωρητή Power CONtrol (PCON) ισούται με 0 (fκρυστάλλου=11,0592MHz)

Κάνοντας τις πράξεις βρίσκουμε ότι ο Timer High 1 (TH1) θα πρέπει να επαναφορτίζεται όταν υπερχειλίζεται με τον αριθμό 253 (FDH) ο οποίος θα βρίσκεται στον καταχωρητή Timer Low 1 (TL1), προκειμένου έτσι να παραχθεί ο επιθυμητός ρυθμός μετάδοσης. Αρχικά ενημερώνεται ο TL1 με το περιεχόμενο του TH1, προκειμένου από την στιγμή που θα τεθεί σε λειτουργία ο T1 (μέσω του bit TR1 του TCON), να παραχθεί ο επιθυμητός ρυθμός μετάδοσης δεδομένων. Ο καταχωρητής PCON είναι περιττό να ενημερωθεί διότι αφενός μετά από reset το bit του SMOD ισούται με 0 όπως επιθυμούμε, αφετέρου δεν επιθυμούμε χαμηλή κατανάλωση (IDLe bit (IDL)=Power Down bit (PD)=0, ο καταχωρητής PCON ισούται με 00H μετά από reset).

```
MOV     SCON,#01110010B
```

Καθορισμός τρόπου σειριακής επικοινωνίας πλήρως αμφίδρομης (full-duplex), καταχωρητής Serial CONtrol (SCON):

-αρχικά περιμένουμε λήψη δεδομένου από το λογισμικό του Η/Υ (το bit Receive Interrupt flag (RI) ισούται με το 0)

-αρχικά μπορούμε να στείλουμε δεδομένο (το bit Transmit Interrupt flag (TI) το κάνουμε ίσο με 1)

-ενεργοποιούμε την σειριακή λήψη (το bit serial REception eNable (REN) το κάνουμε ίσο με 1)

-το bit RI γίνεται 1 όταν ληφθεί των 8 bit δεδομένο με έγκυρο ψηφίο τέλους (stop bit) (δηλαδή κατάσταση επιπέδου (mark)), οπότε και αγνοούνται δεδομένα στα οποία σημειώθηκε λάθος πλαισίου (framing error)

-καθορισμός της μορφοποίησης (format) της επικοινωνίας σε (1 start bit+8 data bit+1 stop bit) με ελεγχόμενο Baud Rate (εδώ από τον T1)

```
SETB    TR1
```

Ενεργοποίηση του T1 οπότε και αποκαθίσταται η επιθυμητή σειριακή επικοινωνία (ο T0 εξακολουθεί να είναι αποενεργοποιημένος).

```
MOV     SP,#09H
```

Ο σωρός (stack) τίθεται να ξεκινάει ουσιαστικά από την 0AH διεύθυνση της εσωτερικής μνήμης RAM του μικροελεγκτή.

```
ACALL   GET
```

Λήψη κωδικού byte που στέλνεται από τον Η/Υ και φυλάσσεται στον καταχωρητή A.

```
CJNE    A,#55H,APWRO
```

PART OF MY PERSONAL THESIS DOCUMENTATION (C) P.P.

Εάν ο κωδικός δεν είναι το 55H, τότε υπήρξε λάθος κατά την μεταφορά οπότε και γίνεται αυτόματο κλείσιμο του κατασκευαστικού μέρους (APWRO).

```
        CLR     TI
```

Αρχικά το TI ήταν 1 και το μηδενίζουμε τώρα για να προετοιμαστούμε για την δεύτερη εκπομπή.

```
        MOV     SBUF,#0AAH
```

Εάν ο κωδικός είναι το 55H, τότε στέλνουμε στον Η/Υ τον συμπληρωματικό κωδικό AAH, που θα σηματοδοτήσει στο λογισμικό του Η/Υ την αποκατάσταση της επικοινωνίας μεταξύ Η/Υ και κατασκευής (έλεγχος του bit TI αν είναι 1 δεν χρειάζεται, αφού έχει τεθεί ίσο με το 1 κατά την αρχική αναφορά στον SCON).

```
PARAMTR:ACALL   GET
        PUSH    ACC
        ACALL   GET
        MOV     R6,A
        SETB    RS0
        ACALL   GET
        MOV     R0,A
        CLR     RS0
        ACALL   GET
        MOV     R4,A
```

Εάν δεν έχει επιλεγεί (σύμφωνα με τον έλεγχο της πληροφορίας για την επιλογή καναλιού που φέρει ο Α) μόνο το κανάλι 1, ούτε όμως μόνο το κανάλι 2, τότε θα έχει επιλεγεί το ζεύγος των καναλιών 1 και 2. Για αυτήν την περίπτωση γίνεται ο R5=01H, προκειμένου να επηρεάσει με το περιεχόμενό του αυτό ανάλογα, την διαχείριση του τμήματος προγράμματος που σχετίζεται με την διαχείριση των δειγμάτων από κανάλι σε κανάλι.

```
        ACALL   CHAN1
        AJMP    TIMDIV
```

Σε αυτό το σύνολο των εντολών, λαμβάνει χώρα η αρχική επιλογή του καναλιού 1, η αποκωδικοποίηση των πληροφοριών κλίμακας τάση/τμήμα, οριζόντιας μετατόπισης, κλίμακας χρόνος/τμήμα για το κανάλι, ενώ ακολουθεί η ανάλογη επεξεργασία (όπως γινόταν και στην περίπτωση της επιλογής μόνο του καναλιού 1). Συμπληρωματικά όμως τώρα, εξαιτίας του μη μηδενικού περιεχομένου του καταχωρητή R5 της bank 0, μετά την ομαδική λήψη και σειριακή εκπομπή των δειγμάτων του καναλιού 1, γίνεται η αντίστοιχη ομαδική λήψη και σειριακή εκπομπή των δειγμάτων του καναλιού 2. Κανονικά μετά λαμβάνεται και αποκωδικοποιείται το κωδικό byte που εκπέμπεται σειριακά από τον Η/Υ, προκειμένου να αποφασιστεί άλμα στην θέση λήψεως 7 νέων παραμέτρων (PARAMTR) ή να συνεχίσει με την επόμενη ομαδική λήψη και εκπομπή των δειγμάτων για το κανάλι 1, κατόπιν για το κανάλι 2 κ.ο.κ…

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

ΑΠΟΣΠΑΣΜΑ-PART

Οι 14 υπορουτίνες (subroutines) του κύριου προγράμματος:

1)καθορισμός ηλεκτρονικά κλίμακας τάση/τμήμα, είτε για το κανάλι 1 είτε για το κανάλι 2:

```
VOLTD12: MOV     C,ACC.0
         MOV     P3.7,C
         MOV     C,ACC.1
         MOV     P3.6,C
         MOV     C,ACC.2
         MOV     P3.5,C
         MOV     C,ACC.3
         MOV     P3.4,C
         MOV     C,ACC.4
         MOV     P1.6,C
         MOV     C,ACC.5
         MOV     P1.5,C
         RET
```

Με την βοήθεια του bit κρατούμενο (carry) του SFR καταχωρητή PSW, γίνεται η αποκωδικοποίηση της επιλογής τάση/τμήμα για το τρέχον κανάλι, με την ενημέρωση των ηλεκτρονικών διακοπτών S1, S2, S3, S4, S6, S7.

2)καθορισμός του περιεχομένου των καταχωρητών R2 και R3 της bank 0, ανάλογα με την επιλεγείσα κλίμακα χρόνος/τμήμα για το κανάλι 1:

```
TIMED1:  SETB    RS0
         CJNE    R0,#01H,N11
         CLR     RS0
         MOV     R2,#01H
         SJMP    NEXTD1
N11:     CJNE    R0,#02H,N21
         CLR     RS0
         MOV     R2,#02H
         SJMP    NEXTD1
N21:     CJNE    R0,#03H,N31
         CLR     RS0
         MOV     R2,#03H
         SJMP    NEXTD1
N31:     CJNE    R0,#04H,N41
         CLR     RS0
         MOV     R2,#0F4H
         MOV     R3,#0FFH
         SJMP    NEXTD1
N41:     CJNE    R0,#05H,N51
         CLR     RS0
```

PART OF HYPERSONAL THESIS DOCUMENTATION - (C) P.P.

```
        MOV     R2,#0C9H
        MOV     R3,#0FFH
        SJMP    NEXTD1
N51:    CJNE    R0,#06H,N61
        CLR     RS0
        MOV     R2,#77H
        MOV     R3,#0FFH
        SJMP    NEXTD1
N61:    CJNE    R0,#07H,N71
        CLR     RS0
        MOV     R2,#0F3H
        MOV     R3,#0FEH
        SJMP    NEXTD1
N71:    CJNE    R0,#08H,N81
        CLR     RS0
        MOV     R2,#46H
        MOV     R3,#0FDH
        SJMP    NEXTD1
N81:    CJNE    R0,#09H,N91
        CLR     RS0
        MOV     R2,#7BH
        MOV     R3,#0FAH
        SJMP    NEXTD1
N91:    CJNE    R0,#0AH,N101
        CLR     RS0
        MOV     R2,#0E5H
        MOV     R3,#0F4H
        SJMP    NEXTD1
N101:   CLR     RS0
        MOV     R2,#23H
        MOV     R3,#0E4H
NEXTD1: RET
```

Εάν έχει επιλεγεί για το κανάλι 1 κλίμακα χρόνος/τμήμα με κωδικό από 00H έως 02H (την πληροφορία αυτή φέρει ο R0 της bank 1), τότε ο R2 της bank 0 ενημερώνεται με την (ίδια τιμή)+1, αλλιώς (περιπτώσεις κωδικών από 03H έως 0BH) ενημερώνεται ο R2 της bank 0 με το χαρακτηριστικό byte που μελλοντικά θα φορτωθεί επίσης και στον TL0, και ο R3 της bank 0 με το χαρακτηριστικό byte που μελλοντικά θα φορτωθεί επίσης και στον TH0 (σε αυτές τις κλίμακες θα χρησιμοποιηθεί ο χρονιστής T0).Παρακάτω στο κύριο πρόγραμμα γίνεται πριν την δειγματοληψία για το κανάλι 1, έλεγχος του περιεχομένου του καταχωρητή R2 της bank 0, προκειμένου ανάλογα με το περιεχόμενό του να αποκωδικοποιηθεί η υπορουτίνα λήψεως των δειγμάτων (χρήση T0 ή όχι)...

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

ΑΠΟΣΠΑΣΜΑ-PART

Στο παράρτημα Α, παρατίθεται το ίδιο λογισμικό χωρίς σχόλια, μόνο που τώρα στα αριστερά των εντολών της συμβολικής γλώσσας παρατίθενται ο αντίστοιχος δεκαεξαδικός (hexadecimal) κώδικας της αντίστοιχης εντολής, καθώς και σε ποιά διεύθυνση το κάθε byte αυτού καταχωρείται στην μνήμη προγράμματος EPROM του μικροελεγκτή (η καταβίβαση (download) αυτού του κώδικα, γίνεται με την βοήθεια του αντίστοιχου για τον μικροελεγκτή προγραμματιστή EPROM).

Επίσης στα υποπαραρτήματα Γ.1, Γ.2 και Γ.3 αντίστοιχα, παρατίθενται κατά αναλυτικό τρόπο η αρχιτεκτονική δομή των μικροελεγκτών της οικογένειας MCS-51, ένας πλήρης οδηγός για τον προγραμματισμό τους και αναλυτικές πληροφορίες για τον χρησιμοποιούμενο μικροελεγκτή i87C51.

Στο παράρτημα Β, παρατίθεται το λογισμικό για τον Η/Υ με τα απαραίτητα στοιχειώδη σχόλια κατά την ανάπτυξή του...

PART OF MY PERSONAL THESIS DOCUMENTATION - (C) P.P.

5.ΠΡΟΤΑΣΗ ΓΙΑ ΤΗΝ ΒΕΛΤΙΩΣΗ ΤΟΥ ΕΥΡΟΥΣ ΖΩΝΗΣ

ΑΠΟΣΠΑΣΜΑ-PART

Στο σχεδιασμένο λογισμικό για τον μικροελεγκτή, έγινε κάθε δυνατή προσπάθεια να εξασφαλιστεί ένας όσο το δυνατό μεγαλύτερος χώρος εσωτερικής μνήμης δεδομένων RAM, για την προσωρινή φύλαξη εκεί των λαμβανόμενων δειγμάτων από τον ADC. Ο χώρος τελικά αυτός είναι 116bytes από τα 128bytes συνολικά που διατίθενται από τον 87C51. Τα υπόλοιπα 12bytes χρησιμοποιούνται αφενός από τον σωρό (stack) αφετέρου από τις πληροφορίες/παραμέτρους ελέγχου επεξεργασίας. Εδώ ας σημειωθεί ότι στην περίπτωση με μεγαλύτερη εξωτερική πλέον μνήμη RAM, ναι μεν θα

αυξάναμε τον αριθμό των λαμβανόμενων δειγμάτων, όμως θα αυξάναμε παράλληλα και τον χρόνο λήψης μεταξύ διαδοχικών δειγμάτων (εξαιτίας του μεγαλύτερου χρόνου λόγω των χρησιμοποιούμενων εντολών που θα απαιτούντο για την προσπέλασή της) που αυτό θα σήμαινε ακόμα μικρότερη μέγιστη συχνότητα για το σήμα εισόδου που επεξεργάζεται, προκειμένου να έχουμε αξιόπιστη αναπαράστασή του. Βέβαια μία προσιτή εναλλακτική λύση αποτελεί η χρήση ενός μικροελεγκτή MCS-51 που διαθέτει περισσότερη εσωτερική μνήμη δεδομένων (RAM). Ναι μεν έτσι θα αυξάναμε το πλήθος των κλιμάκων χρόνου/τμήμα στις οποίες θα μπορούσαν να υποστηρικτούν σε σχέση με πριν επεξεργαζόμενα σήματα μεγαλύτερης συχνότητας, αλλά δε η μέγιστη συχνότητα δεν θα μπορούσε και πάλι να υπερβεί την συχνότητα των 65,83KHz.

Μία πρόταση για την βελτίωση του εύρους ζώνης της παρούσας υλοποίησης (για την αύξηση δηλαδή της συχνότητας δειγματοληψίας), χωρίς ριζικές μεταβολές στην παρούσα κατασκευαστική υλοποίηση (hardware), αποτελεί η χρησιμοποίηση ενός 16-bits μικροελεγκτή της οικογένειας MCS-96 της Intel.

Ειδικότερα το μόνο που θα χρειάζονταν στο κατασκευαστικό μέρος, θα ήταν η αντικατάσταση του παρόντος μικροελεγκτή (i87C51) με έναν της οικογένειας των μικροελεγκτών MCS-96 της Intel, φροντίζοντας για την προσαρμογή του σε σχέση με το υπόλοιπο κύκλωμα το οποίο θα διατηρηθεί αναλλοίωτο. Από πλευράς λογισμικού, θα απαιτείται η αναπροσαρμογή του λογισμικού του μικροελεγκτή στο αντίστοιχο σύνολο των εντολών του χρησιμοποιούμενου μικροελεγκτή της οικογένειας MCS-96 που θα χρησιμοποιηθεί. Επίσης, όσον αφορά το λογισμικό του Η/Υ, θα απαιτείται η διαφορετική διαχείριση και μόνο των λαμβανόμενων δειγμάτων αφού πλέον θα έχει διαφοροποιηθεί η συχνότητα δειγματοληψίας και το πλήθος των δειγμάτων που καταχωρούνται στην εσωτερική RAM του μικροελεγκτή…

6.ΕΙΚΟΝΕΣ ΚΑΤΑ ΤΗΝ ΕΚΤΕΛΕΣΗ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ ΣΤΟΝ Η/Υ

*****ΑΠΟΣΠΑΣΜΑ-PART*****

Στις επόμενες 5 σελίδες παρατίθενται οι χαρακτηριστικές εμφανιζόμενες εικόνες στην οθόνη του Η/Υ, κατά την παρακολούθηση αντίστοιχα:
-του καναλιού 1 (ημιτονικό σήμα συχνότητας f1=465Hz, πλάτους από κορυφή σε κορυφή Vpeak-to-peak1=6,65V) - αρχείο TESTSINE.KYM
-του καναλιού 2 (τετραγωνικό σήμα συχνότητας f2=455Hz, πλάτους από κορυφή σε κορυφή Vpeak-to-peak2=9,9V) - αρχείο TESTSQR.KYM
-του καναλιού 1 παράλληλα με το κανάλι 2 - αρχείο TSINWSQR.KYM
-του αθροίσματος (κανάλι 1)+(κανάλι 2) - αρχείο TSINPSQR.KYM
-της διαφοράς (κανάλι 1)-(κανάλι 2) - αρχείο TSINMSQR.KYM

PART OF MY PERSONAL THESIS DOCUMENTATION - Π.Π.

ΑΠΟΣΠΑΣΜΑ-PART

ΠΑΡΑΡΤΗΜΑ Α:

Στο παράρτημα αυτό, παρατίθεται το λογισμικό του μικροελεγκτή χωρίς σχόλια, μόνο που τώρα στα αριστερά των εντολών της συμβολικής γλώσσας παρατίθενται ο αντίστοιχος δεκαεξαδικός (hexadecimal) κώδικας της αντίστοιχης εντολής, καθώς και σε ποιά διεύθυνση το κάθε byte αυτού καταχωρείται στην μνήμη προγράμματος EPROM του μικροελεγκτή (η καταβίβαση (download) αυτού του κώδικα, γίνεται με την βοήθεια του αντίστοιχου για τον μικροελεγκτή προγραμματιστή EPROM). Οι αναλυτικές αυτές πληροφορίες και άλλες δευτερεύουσες, δημιουργούνται και καταχωρούνται σε ένα αρχείο (το οποίο και ακολουθεί) από τον χρησιμοποιούμενο συμβολομεταφραστή δύο περασμάτων (two-pass assembler) της εταιρείας Intel:

ΠΑΡΑΡΤΗΜΑ Β:

Το λογισμικό του Η/Υ, έχει "χτιστεί" με βάση την σχεδίαση του λογισμικού για τον μικροελεγκτή. Μια παράθεση της λίστας αυτού του λογισμικού, μάλλον θα κούραζε περισσότερο παρά θα βοηθούσε στην προσέγγιση από τον αναγνώστη της λογικής της όλης σχεδίασης του λογισμικού, της οποίας ο κορμός είναι το λογισμικό του μικροελεγκτή το οποίο και παρατέθηκε κατά αναλυτικό τρόπο (ίσως και κουραστικό για κάποιον που έχει ασχοληθεί με μικροελεγκτές της οικογένειας MCS-51 της Intel)... Για λόγους και μόνο πληροφοριακούς, παραθέτουμε στο παράρτημα αυτό το λογισμικό του Η/Υ με τα απαραίτητα στοιχειώδη σχόλια κατά την ανάπτυξή του (η σχεδίαση του λογισμικού για τον Η/Υ, έγινε στην γλώσσα προγραμματισμού QuickBasic (έκδοση 4,5) της εταιρείας MicroSoft):

ΠΑΡΑΡΤΗΜΑ Γ:

Το παράρτημα αυτό αποτελείται από τέσσερα υποπαραρτήματα τα οποία καλύπτουν κατά αναλυτικό τρόπο τους τομείς:

-η αρχιτεκτονική δομή των μικροελεγκτών της οικογένειας MCS-51 [(Γ.1.) MCS-51 Family of Microcontrollers Arhitectural Overview]

-οδηγός προγραμματιστή και σύνολο εντολών των μικροελεγκτών της οικογένειας MCS-51 [(Γ.2.) MCS-51 Programmer's Guide and Instruction Set]

-ο μικροελεγκτής της Intel 87C51 [(Γ.3.) 87C51 /80C51BH /80C31BH CHMOS Single-Chip 8-Bit Microcontroller with 4Kbytes Internal Program Memory]

-η αρχιτεκτονική δομή των μικροελεγκτών της οικογένειας MCS-96 [(Γ.4.) MCS-96 Arhitectural Overview]

(η πηγή αυτών των αναλυτικών πληροφοριών είναι ο πρώτος τόμος (Vol.I) -από τους δύο διατειθέμενους- του εγχειριδίου Embedded Microcontrollers and Processors της εταιρείας Intel (έκδοσης 1993))…

PART OF MY PERSONAL THESIS DOCUMENTATION (C) P.